



(19)

(11) Publication number:

0

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: **02144424**(51) Intl. Cl.: **G06F 11/10 H03M 13/00**(22) Application date: **04.06.90**

(30) Priority: (43) Date of application publication: 07.02.92 (84) Designated contracting states:	(71) Applicant: FUJITSU LTD FUJITSU COMMUN SY HASEGAWA ELECTRI (72) Inventor: ONO HIROSHI TODO MASAHIRO SATO YUKIE SANO ATSUYOSHI MURAI ATSUYA (74) Representative:
--	---

(54) DATA CHECKING SYSTEM FOR PARITY GENERATION USING TABLE

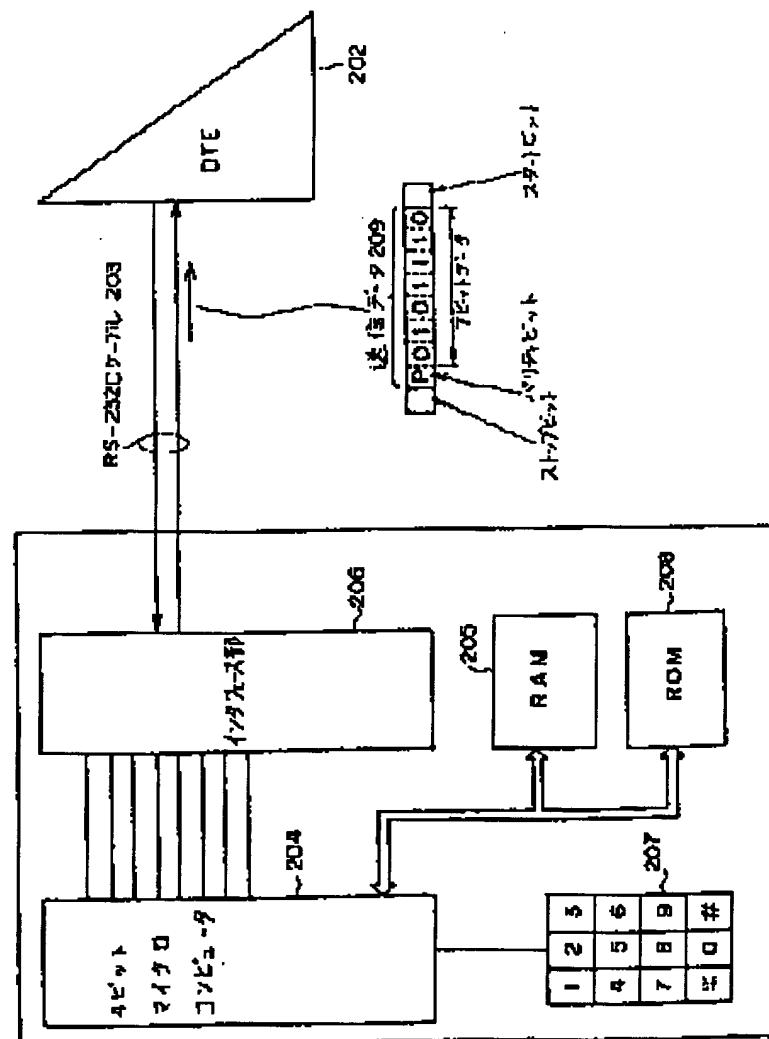
(57) Abstract:

PURPOSE: To decrease a program capacity as a whole in a parity generation processing by discriminating it by AND arithmetic between a table data and a transmitted data whether each bit of the transmitted data is '1' or not.

CONSTITUTION: The data checking table of a ROM 208 stores the table data for which only a first bit, only a second bit, only a third bit and only a fourth bit are '1' respectively. A parity bit P in the transmitting data is fixed to '0', and a counter indicating the address of the data checking table and a counter indicating the number of '1' in the transmitting data are cleared to

0. Afterwards, the AND arithmetic is successively executed between the transmitting data and each table data of the data checking table and when the arithmetic result is not 0, the counters are incremented. By executing this processing concerning all the table data, it is discriminated whether the bit number of 1 in the transmitted data is odd or even, and the parity bit is prepared.

COPYRIGHT: (C)1992,JPO&Japio



⑫ 公開特許公報 (A) 平4-38532

⑬ Int. Cl. 5

G 06 F 11/10
H 03 M 13/00

識別記号

3 2 0 B

庁内整理番号

9072-5B
7259-5J

⑭ 公開 平成4年(1992)2月7日

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 テーブルを用いたバリティ生成におけるデータチェック方式

⑯ 特 願 平2-144424

⑯ 出 願 平2(1990)6月4日

⑰ 発明者 小野 洋 神奈川県横浜市港北区新横浜3丁目9番18号 富士通第一通信ソフトウェア株式会社内

⑰ 発明者 藤堂 正廣 神奈川県横浜市港北区新横浜3丁目9番18号 富士通第一通信ソフトウェア株式会社内

⑰ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑰ 出願人 富士通第一通信ソフトウェア株式会社 神奈川県横浜市港北区新横浜3丁目9番18号

⑰ 出願人 株式会社長谷川電機製作所 東京都品川区西五反田2丁目18番2号

⑰ 代理人 弁理士 大菅 義之 外1名

最終頁に続く

明細書

段(102)と、

該判別手段(102)での判別結果に基づいて、バリティビット(106)を生成するバリティビット生成手段(103)と、
を有することを特徴とするテーブルを用いたバリティ生成におけるデータチェック方式。

1. 発明の名称

テーブルを用いたバリティ生成における
データチェック方式

2. 特許請求の範囲

送信データに付加するバリティビットを生成するための送信データのチェック方式において、
1ビットのみが値“1”をとる複数ビットからなるテーブルデータ(105)を、該値“1”をとるビット位置をずらしながら複数種類記憶する記憶手段(101)と、

該記憶手段から読み出される前記テーブルデータ(105)のそれぞれと送信データ(104)とでアンド演算をそれぞれ行い、その演算結果が“1”であるか否かにより、該アンド演算に用いられた前記テーブルデータ(105)の値が“1”であるビット位置に対応する前記送信データ(104)のビット位置の値が“1”であるか否かを判別する判別手

3. 発明の詳細な説明

(概要)

送信データに付加するバリティビットを生成するための送信データのチェック方式に関し、
送信データに付加するバリティビットを生成するための送信データのチェック処理において、処理に必要なプログラム容量を減少させ、処理時間の短縮を可能とすることを目的とし、
1ビットのみが値“1”をとる複数ビットからなるテーブルデータを、値“1”をとるビット位置をずらしながら複数種類記憶する記憶手段と、該記憶手段から読み出されるテーブルデータのそれぞれと送信データとでアンド演算をそれぞれ行

い、その演算結果が“1”であるか否かにより、該アンド演算に用いられたテーブルデータの値が“1”であるビット位置に対応する送信データのビット位置の値が“1”であるか否かを判別する判別手段と、該判別手段での判別結果に基づいて、パリティビットを生成するパリティビット生成手段と、を有するように構成する。

〔産業上の利用分野〕

本発明は、送信データに付加するパリティビットを生成するための送信データのチェック方式に関する。

〔従来の技術〕

通信装置間でデータの授受を行う場合の誤り訂正方式としてパリティチェック方式がある。

パリティチェック方式は、例えば8ビットの送信データのうち、7ビットを通信データ、1ビットをパリティビットとして、送信データ中で値が“1”となるビットの数が偶数又は奇数になるよ

うに、通信データに“0”又は“1”的パリティビットを付加し、検出時には、各通信データ中で値が“1”的ビットの数が偶数又は奇数になっているかどうかで送信データの伝送誤りを検出する方式である。

上述のようなパリティビットを生成するためには、各送信データ中に値が“1”的ビットが偶数ビットあるか奇数ビットあるかをチェックする必要がある。

第5図に、4ビットマイクロコンピュータ(CPU)とRAM等で構成される制御装置上で動作する従来のパリティビット生成プログラムの動作フローチャートを示す。同図の例では、送信データが8ビットで、そのうち7ビットが通信データ、最上位の1ビットがパリティビットPである。そして、RAM上又はCPU内のレジスタ等に、送信データ中の“1”的数を示すカウンタが設けられ、このカウンタにより送信データ中で値が“1”的ビットの数がカウントされる。この結果、そのカウント値が奇数であれば、パリティビットPが

“0”とされ、カウンタ値が偶数であればパリティビットPが“1”とされる。すなわち、送信データ中で値が“1”となるビットの数が奇数になるようにパリティビットPが付加される。

具体的には、まず、送信データ中のパリティビットPが“0”に固定され、送信データ中の“1”的数を示すカウンタが0クリアされる(S501)。

次に、送信データ中のパリティビットPを含む上位4ビットが取り出される。そして、3ビット目が“1”か否かが判定される(S502)。

3ビット目が“1”であるならば、送信データ中の“1”的数を示すカウンタの値が+1だけインクリメントされ(S503)、“1”でなければ同カウンタはインクリメントされない。

以下、送信データ中の上位4ビットの3ビット目から0ビット目まで同じ動作が繰り返される。更に、送信データ中の下位4ビットが取り出されて、その3ビット目から0ビット目まで同じ動作が繰り返される。

以上の動作の結果、送信データ中の“1”的数

を示すカウンタの0ビット目が“1”的場合には、送信データ中で値が“1”的ビットの数が奇数であるため、パリティビットPに“0”が設定される(S505→S506)。逆に、同カウンタの0ビット目が“1”でない場合には、送信データ中で値が“1”的ビットの数が偶数であるため、パリティビットPに“1”が設定される(S505→S507)。

以上の処理動作によりパリティビットPを生成することができる。

〔発明が解決しようとする課題〕

近年のISDN等の発展により、データ通信の機会は、ますます増加してきており、例えばインテリジェントな電話機にRS-232Cケーブル等を介してデータ端末装置(DTE、以下同じ)を接続し、電話機をDTEの回線終端装置として使用可能とするような形態も増えてきている。このような場合にも、電話機とDTEとの間の通信データの授受において、信頼性を高めるために、送信デ

ータにパリティビットを付加する方式が非常に多く用いられている。

上述のような電話機又はDTE等は、一般家庭等での使用も考慮すると小型化が要求されており、そのような装置に内蔵されるマイクロコンピュータも小型かつクロック周波数の低いものが要求され、メモリの容量も小さいものが要求されている。

ここで、第5図の如き従来例の場合、送信データが“1”であるか否かが1ビットずつ判別されている。しかし、一般に、ビット操作のためのプログラム命令（第5図S502、S504等）に要するプログラムステップ数は多くのステップ数を必要とするため、必然的に全体のプログラム容量が大きくなり、メモリの容量を小さくするのが困難になるという問題点を有している。

また、ビット操作のためのプログラムステップ数が多くなる結果、そのための処理時間が多くかかり、他の様々な機能の処理動作を同時に実行することを考慮すると、動作速度の遅いマイクロコンピュータで動作させるのが困難になるという問

題点を有している。

本発明は、送信データに付加するパリティビットを生成するための送信データのチェック処理において、処理に必要なプログラム容量を減少させ、処理時間の短縮を可能とすることを目的とする。

〔課題を解決するための手段〕

第1図は、本発明のブロック図である。本発明は、送信データに付加するパリティビットを生成するための送信データのチェック方式を前提とする。

まず、1ビットのみが値“1”をとる複数ビットからなるテーブルデータ105を、値“1”をとるビット位置をずらしながら複数種類記憶する記憶手段101を有する。

次に、記憶手段101から読み出されるテーブルデータ105のそれぞれと送信データ104とでアンド演算をそれぞれ行い、その演算の結果が“1”であるか否かにより、該アンド演算に用いられたテーブルデータ105の値が“1”である

ビット位置に対応する送信データ104のビット位置の値が“1”であるか否かを判別する判別手段102を有する。

そして、判別手段102での判別結果に基づいて、送信データ104に付加するパリティビット106を生成するパリティビット生成手段103を有する。同手段は、例えば上述の各判別結果に基づいて、送信データ104中で値“1”をとるビットの数をカウントし、そのカウント数が奇数であるか偶数であるかに応じて、パリティビット106を生成する。

〔作用〕

送信データ104の各ビットが“1”であるか否かは、判別手段102が、記憶手段101から読み出した各テーブルデータ105と送信データ104とでアンド演算を行うことにより判別している。ここで、アンド演算は、一般に、プログラム命令のステップ数が少なくて済むため、パリティ生成処理における全体のプログラム容量を減少

させることができ、プログラムを記憶するメモリを小型化することができる。

また、プログラムステップ数が少なくて済む結果、そのための処理時間が短くて済み、処理速度の遅いマイクロコンピュータでも十分に実行可能となる。

〔実施例〕

以下、図面を参照しながら本発明の実施例につき説明する。

第2図は、本発明の実施例の構成図である。同図では、RS-232Cケーブル203を介して接続されるDTE202に対して、送信データ209を送信するインテリジェント機能を有する電話機であるアダプタ装置201に本実施例が適用されている。なお、逆にDTE202からアダプタ装置201に送信データを送信する場合にも、DTE202内に同様の構成を当然実現可能であるが、第2図では省略する。

アダプタ装置201は、電話機全体の機能を制

御する4ビットマイクロコンピュータ(CPU、以下同じ)204、ユーザにダイヤル動作を行わせるテンキー207、RS-232Cケーブル203を収容するインターフェース部206、及びCPU204が実行する各種処理のプログラムを格納するROM208、プログラム実行時にワーク領域等として使用されるRAM205によって構成される。

RS-232Cケーブル203上を転送される送信データ209は、第2図に示される如く、例えば7ビットの通信データと、1ビットのparityビットPとからなる8ビットデータであり、更に、この送信データ209を挟んでスタートビット及びストップビットが付加される。

次に、本実施例では、ROM208上に第3図の如きデータチェックテーブルが設けられる。同図の例では、例えば16進4桁で表されるROM208上のアドレスOE00に、1ビット目のみが“1”であるテーブルデータ“00000001”が格納される。同じく、OE01に2ビット目のみが“1”で

ある“00000010”が、OE02に3ビット目のみが“1”である“00000100”が、また、OE03に4ビット目のみが“1”である“00001000”が、それぞれ格納される。

上述の実施例において、アダプタ装置201が送信データ209に付加するparityビットPを生成する処理動作について、以下に説明する。

第4図は、CPU204がROM208に格納されているparity生成処理のプログラムを実行するときの動作フローチャートである。同図の例では、RAM205上又はCPU204内のレジスタ等に、第5図の従来例の場合と同様の送信データ中の“1”的数を示すカウンタが設けられ、従来例の場合と同様に、送信データ中で値が“1”的ビット数がカウントされ、そのカウント値が奇数であれば、送信データ209のparityビットPが“0”とされ、カウンタ値が偶数であればparityビットPが“1”とされる。すなわち、送信データ209中で値が“1”となるビットの数が奇数になるようにparityビットPが付加され

る。これと共に、本実施例では、第3図のデータチェックテーブルのアドレスを示すカウンタが設けられ、これを用いて以下のようにして、送信データ中で値が“1”的ビット数が高速にカウントされる。

具体的には、まず、送信データ中のparityビットPが“0”に固定され、データチェックテーブルのアドレスを示すカウンタと、送信データ中の“1”的数を示すカウンタとが0クリアされる(S401)。

次に、CPU204内のXレジスタに上位アドレスOEがセットされ、Yレジスタにデータチェックテーブルのアドレスを示すカウンタの値である下位アドレス00(クリアされた値)がセットされる。そして、このXYレジスタで定まるアドレスによって、ROM208上の第3図のデータチェックテーブルが参照され、テーブルデータ“00000001”が取り出される(S402)。

続いて、この参照されたテーブルデータの下位4ビットの値“0001”と送信データ209の上位4

ビット(第2図の例では“P010”=“0010”)とのアンド演算が実行され、その結果がアキュームレータACに格納される(S403)。これにより、送信データ209の上位4ビットのうちの0ビット目すなわち送信データ209の4ビット目が“1”であるか否かが演算される。

そして、アキュームレータACの内容が“0”でない場合は、送信データ209の上位4ビットのうちの0ビット目が“1”であるため、送信データ中の“1”的数を示すカウンタの値が+1だけインクリメントされ(S404→S405)、逆に“0”的場合は同カウンタはインクリメントされない(S404→S406)。第2図の送信データ209の例では、送信データ209の4ビット目が“0”であるためインクリメントは行われない。

次に、上述の参照されたテーブルデータの下位4ビットの値“0001”と送信データ209の下位4ビット(第2図の例では“1110”)とのアンド演算が実行され、その結果がアキュームレータACに

格納される(S406)。これにより、送信データ209の下位4ビットのうちの0ビット目すなわち送信データ209の0ビット目が“1”であるか否かが演算される。

そして、アキュームレータACの内容が“0”でない場合は、送信データ209の上位4ビットのうちの0ビット目が“1”であるため、送信データ中の“1”的数を示すカウンタの値が+1だけインクリメントされ(S407→S408)、逆に“0”的場合は同カウンタはインクリメントされない(S407→S409)。第2図の送信データ209の例では、送信データの0ビット目が“0”であるためインクリメントは行われない。

上述の動作により、送信データ209の4ビット目と0ビット目が“1”であるか否かが判別され、それに応じて送信データ中の“1”的数を示すカウンタが適宜インクリメントされる。

次に、データチェックテーブルのアドレスを示すカウンタの値が+1だけインクリメントされて0から1にされ(S409)、S410を介して

再びS402に戻り、上述の場合と同様のS402～S408の処理が繰り返される。これにより、第3図のデータチェックテーブルのアドレス“0E01”的テーブルデータの下位4ビット“0010”と送信データの上位4ビット及び下位4ビットのそれぞれとのアンド演算が実行される。これにより、送信データ209の5ビット目(上位4ビットの1ビット目)と1ビット目(下位4ビットの1ビット目)が“1”であるか否かが判別され、それに応じて送信データ中の“1”的数を示すカウンタが適宜インクリメントされる。

以下同様にして、データチェックテーブルのアドレスを示すカウンタの値が+1ずつインクリメントされながら(S409)、送信データ209の6ビット目(上位4ビットの2ビット目)と2ビット目(下位4ビットの2ビット目)、7ビット目(上位4ビットの3ビット目)と3ビット目(下位4ビットの3ビット目)が、それぞれ“1”であるか否かが判別され、それに応じて送信データ中の“1”的数を示すカウンタが適宜インクリ

メントされる。

以上の動作の結果、データチェックテーブルのアドレスを示すカウンタの値が4になった後に、従来例の場合と同様、送信データ中の“1”的数を示すカウンタの0ビット目が判別される(S410→S411)。そして、同カウンタの0ビット目が“1”的場合は、送信データ中で値が“1”的ビットの数が奇数であるため、パリティビットPに“0”が設定される(S411→S412)。逆に、同カウンタの0ビット目が“1”でない場合は、送信データ中で値が“1”的ビットの数が偶数であるため、パリティビットPに“1”が設定される(S411→S413)。

以上の処理動作によりパリティビットPを生成することができる。この場合、ワード(4ビット)単位のアンド演算は、一般に、プログラム命令のステップ数が少なくて済むため、全体のプログラム容量が少なくなり、ROM208を小型化することが可能となる。

また、プログラムステップ数が少なくて済む結

果、そのための処理時間が短くて済み、4ビット程度のマイクロコンピュータでも十分に実行可能となる。

[発明の効果]

本発明によれば、送信データの各ビットが“1”であるか否かを、テーブルデータと送信データとのアンド演算により判別しているため、プログラム命令のステップ数が少なくて済み、パリティ生成処理における全体のプログラム容量を減少させることができ、プログラムを記憶するメモリを小型化することができる。

また、プログラムステップ数が少なくて済む結果、そのための処理時間が短くて済み、処理速度の速いマイクロコンピュータでも十分に実行可能となる。

4. 図面の簡単な説明

第1図は、本発明のブロック図、

第2図は、本発明の実施例の構成図、

第3図は、データチェックテーブルの構成図、
第4図は、本発明の実施例の動作フローチャート、
ト、

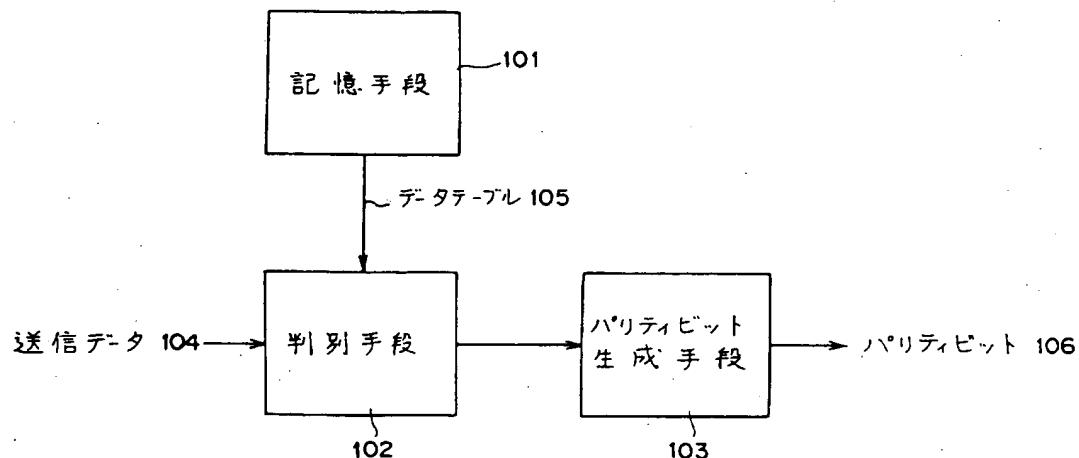
第5図は、従来例の動作フローチャートである。

- 101 … 記憶手段、
- 102 … 判別手段、
- 103 … パリティビット生成手段、
- 104 … 送信データ、
- 105 … テーブルデータ。

アドレス	テーブルデータ
0E00	000000001
0E01	000000010
0E02	000001000
0E03	00001000

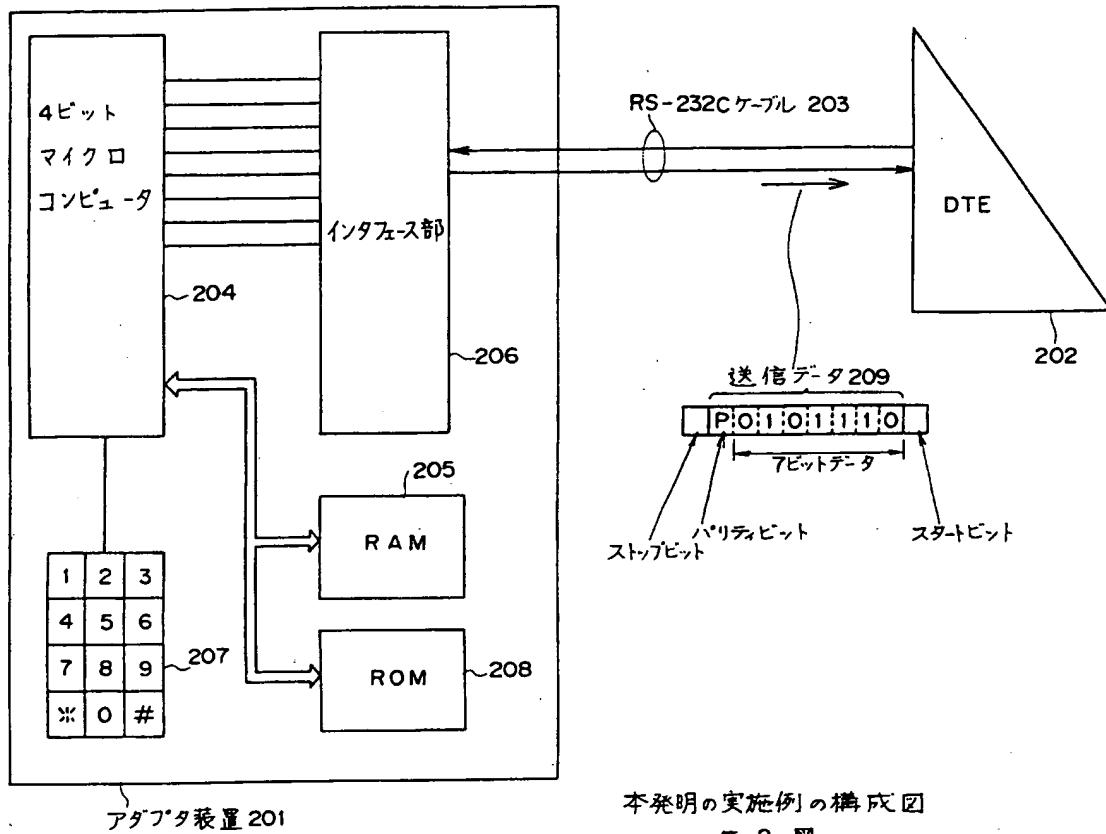
特許出願人 富士通株式会社
同 上 富士通第一通信ソフトウェア
株式会社
同 上 株式会社 長谷川電機製作所

データチェックテーブルの構成図
第3図



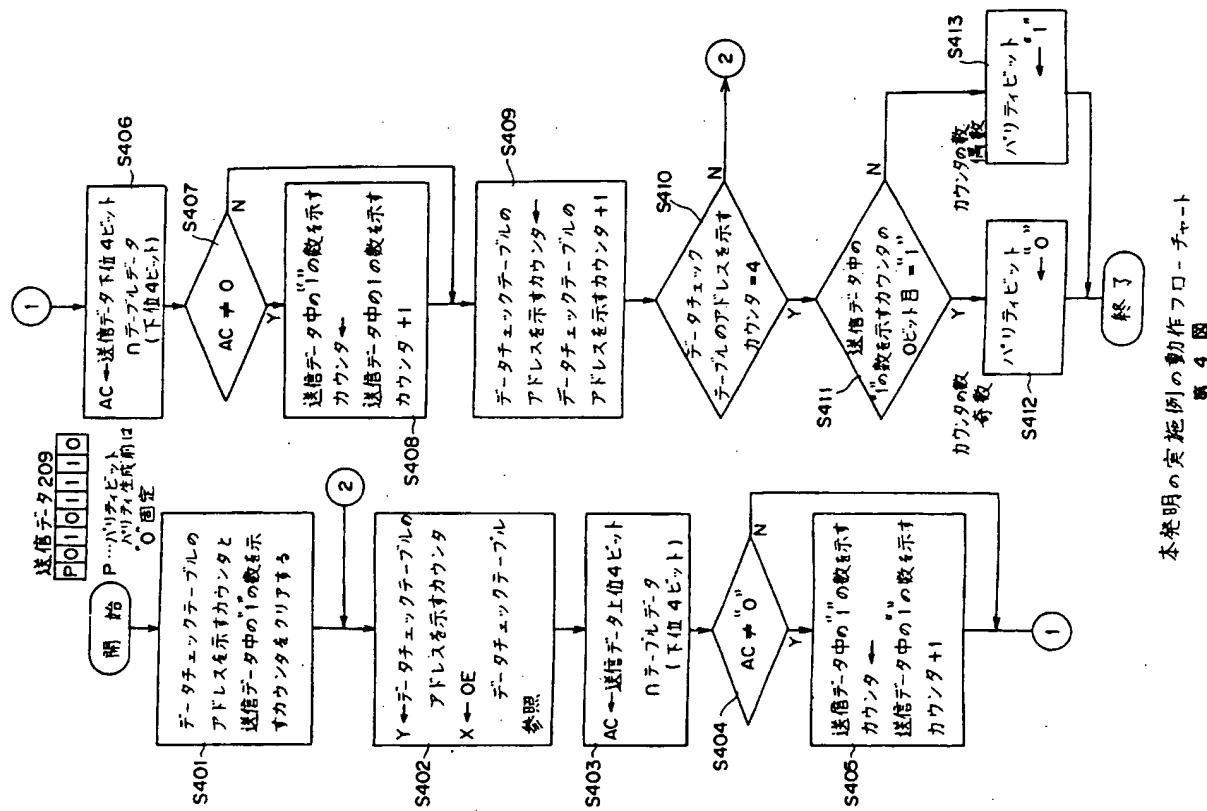
本発明のブロック図

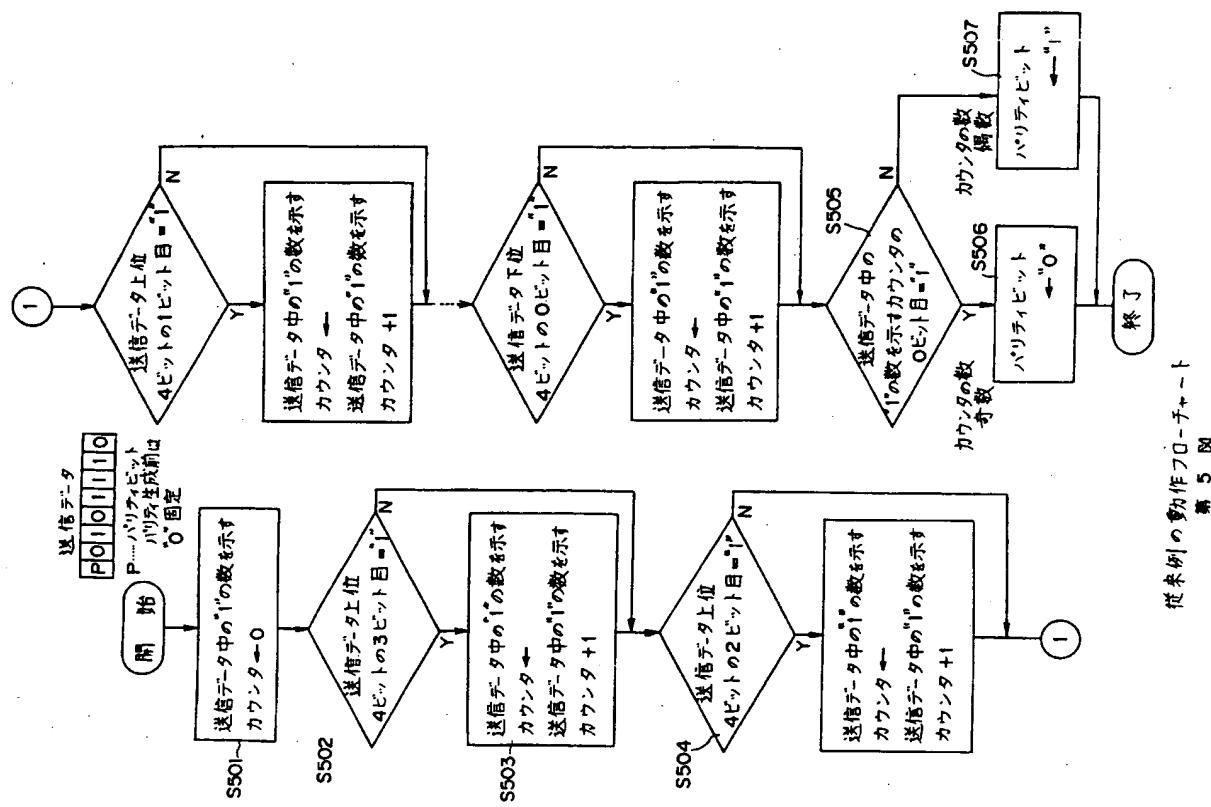
第1図



本発明の実施例の構成図

第 2 図

本発明の実施例の動作フローチャート
第 4 図



第1頁の続き

②発明者 佐藤 幸恵 神奈川県横浜市港北区新横浜3丁目9番18号 富士通第一通信ソフトウェア株式会社内

②発明者 佐野 鑑美 神奈川県横浜市港北区新横浜3丁目9番18号 富士通第一通信ソフトウェア株式会社内

②発明者 村井 厚也 東京都品川区西五反田2丁目18番2号 株式会社長谷川電機製作所内